

拒絶理由通知書

特許出願の番号	特願2002-350392
起案日	平成16年 5月17日
特許庁審査官	田中 庸介 8529 5K00
特許出願人代理人	志賀 正武(外 1名) 様
適用条文	第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から3か月以内に意見書を提出して下さい。

理 由

A. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)**・請求項1～12について、引用文献1**

引用文献1には、メモリに順次に貯蔵された入力データを所定のアドレス順で読み出してインターリーピングを行う際に、入力データのサイズと生成されたメモリのアドレスを比較して、入力データのサイズより小さいか、それとも同一であるアドレスを有効とし、当該アドレスを利用して貯蔵されたデータを読み出すことが記載されている。

本願の各請求項に記載されたインデックスがデータサイズより大きい場合に、2番目のインデックスを生成する構成は、当業者にとって単なる回路構成上の設計的事項と認められ、本願発明は引用文献1に記載された技術に基づいて容易に想到し得たものと認められる。

B. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

(1) 請求項1～7に記載されたインデックスとパラメータの関係は、発明の詳細な説明における関係と逆のものとなっており、発明の構成が不明瞭である。

(2) 請求項4に記載された「初期化」、請求項6に記載された「前期比較する装置は、前記インデックス発生器から・・・前記パラメータを受信し」、請求項13に記載された「前記第1インデックスイネーブル信号または第2インデックスイネーブル信号のいずれか1つの信号を受信し・・・インデックス発生器」は、発明の詳細に明確に記載されておらず、発明の構成が不明瞭である。

(3) 請求項7に記載された「前記データを出力する装置」が「アドレス発生器である」という構成は、意味が不明である。

(4) 請求項1～12においては、第1、第2、第3、第4制御信号という表現を用い、請求項13においては、第1、第2インデックスイネーブル信号、比較器イネーブル信号、アドレス発生器イネーブル信号という表現を用いており、両者の対応関係が不明瞭である。

よって、請求項1～13に係る発明は明確でない。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開2001-196941号公報

先行技術文献調査結果の記録

- ・調査した分野 IPC第7版 H03M 13/00-13/53
- ・先行技術文献 特表2002-541712号公報
 特開2001-177418号公報
 特開2000-078030号公報
 特開平07-212250号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接の希望がありましたら

整理番号:F11067A1 発送番号:180074 発送日:平成16年 5月25日 3/E

たら下記まで連絡下さい。

特許審査第四部 デジタル通信

TEL. 03 (3581) 1101 内線3555

FAX. 03 (3501) 0699

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196941

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H03M 13/27
H03M 13/13
// H04L 27/00

(21)Application number : 2000-004553

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.01.2000

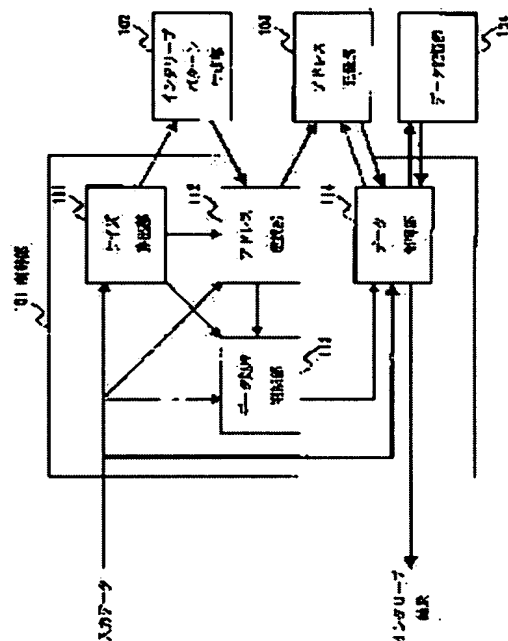
(72)Inventor : KURIYAMA HAJIME

(54) INTERLEAVER AND INTERLEAVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To continuously conduct interleave processing at a prescribed speed by using an interleave pattern that is generated at an optional generating speed and an optional size.

SOLUTION: An interleave pattern generating section 102 generates an interleave pattern on the basis of a size calculated by a size calculation section 111. An address selection section 112 selects only a valid address among addresses of the interleave pattern and stores the selected address to an address storage section 103. A data processing discrimination section 113 calculates a parallel processing value resulting from dividing a product between a data size and an interleave generating speed by a data processing speed, and informs a data control section 114 about processing start information when number of addresses stored in the address storage section 103 is a value resulting from subtracting the parallel processing value from the size of the generated interleave pattern or over. The data control section 114 receiving the information uses the address stored in the address storage section 103 to conduct interleave processing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-196941
(P 2 0 0 1 - 1 9 6 9 4 1 A)
(43) 公開日 平成13年 7 月19日 (2001. 7. 19)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H03M 13/27		H03M 13/27	5J065
13/13		13/13	5K004
// H04L 27/00		H04L 27/00	B

審査請求 未請求 請求項の数15 O L (全10頁)

(21) 出願番号 特願2000-4553 (P 2000-4553)

(22) 出願日 平成12年 1 月13日 (2000. 1. 13)

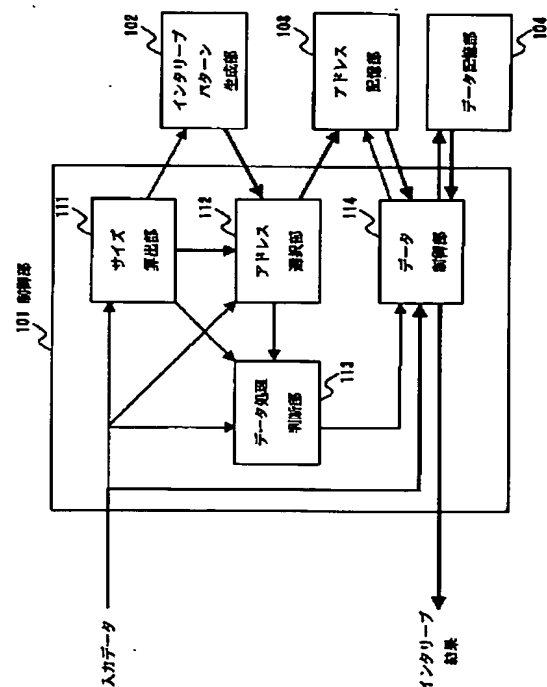
(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 栗山 元
神奈川県横浜市港北区綱島東四丁目 3 番 1
号 松下通信工業株式会社内
(74) 代理人 100105050
弁理士 鷲田 公一
F ターム (参考) 5J065 AA01 AA03 AB01 AC02 AF02
AG06 AH06 AH17
5K004 AA01 BA01 BB05

(54) 【発明の名称】 インタリーブ装置およびインタリーブ方法

(57) 【要約】

【課題】 任意の生成速度と任意のサイズで生成されるインタリーブパターンを用いて、一定速度で、連続的にインタリーブ処理を行うこと。

【解決手段】 インタリーブパターン生成部 102 はサイズ算出部 111 にて算出されたサイズに基づいてインタリーブパターンを生成する。アドレス選択部 112 はインタリーブパターンのアドレスの中で有効アドレスのみを選択し、アドレス記憶部 103 に格納する。データ処理判断部 113 はデータサイズにインタリーブ生成速度を乗じた値をデータの処理速度で除した並列処理値を算出し、アドレス記憶部 103 に格納されたアドレスの数が生成するインタリーブパターンのサイズから前記並列処理値を減算した値以上である場合、処理開始情報をデータ制御部 114 に通知する。通知を受けたデータ制御部 114 はアドレス記憶部 103 に格納されたアドレスを用いて、インタリーブ処理を行う。



【特許請求の範囲】

【請求項 1】 インタリーブパターンを生成する生成手段と、生成されたインタリーブパターンに対応するアドレスを記憶するアドレス記憶手段と、データを記憶するデータ記憶手段と、データの処理速度、データのサイズ、インタリーブパターンの生成速度、及び前記アドレス記憶手段に記憶されたアドレスの数に基づいてデータ処理を開始できるか否かを判断する判断手段と、前記判断手段にてデータ処理を開始できると判断された場合、前記アドレス記憶手段のアドレスに基づいて、前記データ記憶手段へのデータの格納、取り出しを制御する制御手段と、を具備することを特徴とするインタリーブ装置。

【請求項 2】 制御手段は、アドレス記憶手段に記憶されたアドレスの順でデータ記憶手段にデータを格納し、所定の単位のデータを格納した後に、前記データ記憶手段より先頭アドレスから順にデータを取り出すことを特徴とする請求項 1 記載のインタリーブ装置。

【請求項 3】 制御手段は、先頭アドレスから順にデータをデータ記憶手段に格納し、所定の単位のデータを格納した後に、アドレス記憶手段に記憶されたアドレスの順にデータを前記データ記憶手段より取り出すことを特徴とする請求項 1 記載のインタリーブ装置。

【請求項 4】 判断手段は、アドレス記憶手段に格納されたアドレスの数が、データの処理速度からインタリーブパターンの生成速度を減算した値をデータの処理速度で除した値にデータサイズを乗じた値以上である場合に、データ処理を開始できると判断することを特徴とする請求項 1 から請求項 3 のいずれかに記載のインタリーブ装置。

【請求項 5】 インタリーブパターンの中からデータ処理に用いるアドレスを選択する選択手段を具備し、アドレス記憶手段は、前記選択手段にて選択されたアドレスを記憶し、判断手段は、データの処理速度、データのサイズ、インタリーブパターンの生成速度、及び前記アドレス記憶手段に記憶されたアドレスの数に加え、インタリーブパターンのサイズに基づいてデータ処理を開始できるか否かを判断することを特徴とする請求項 1 から請求項 3 のいずれかに記載のインタリーブ装置。

【請求項 6】 選択手段は、生成されたインタリーブパターンのうち、データサイズより小さいアドレスを選択してアドレス記憶手段に出力することを特徴とする請求項 5 のインタリーブ装置。

【請求項 7】 生成可能なインタリーブパターンの中で、データサイズより同じまたは大きいサイズで、かつ最も小さいサイズを算出する算出手段を具備し、生成手段は、前記算出手段にて算出されたサイズのインタリーブパターンを生成することを特徴とする請求項 5 又は請求項 6 に記載のインタリーブ装置。

【請求項 8】 判断手段は、データサイズに生成手段の

インタリーブパターン生成速度を乗じた値をデータの処理速度で除した並列処理値を算出し、アドレス記憶手段に格納されたアドレスの数が、生成するインタリーブパターンのサイズから前記並列処理値を減算した値以上である場合に、データ処理を開始できると判断することを特徴とする請求項 5 から請求項 7 のいずれかに記載のインタリーブ装置。

【請求項 9】 生成手段は、生成するインタリーブパターンのサイズと直前に生成したインタリーブパターンのサイズが等しい場合、この情報を判断手段に通知し、前記判断手段は、当該情報によりデータ処理を開始できると判断し、データ処理開始を制御手段に通知することを特徴とする請求項 5 から請求項 8 のいずれかに記載のインタリーブ装置。

【請求項 10】 アドレス記憶手段は、データの先入れ先出し処理を行うことを特徴とする請求項 1 から請求項 9 のいずれかに記載のインタリーブ装置。

【請求項 11】 請求項 1 から請求項 10 のいずれかに記載のインタリーブ装置を有することを特徴とする信号処理装置。

【請求項 12】 請求項 11 に記載の信号処理装置を有することを特徴とする通信端末装置。

【請求項 13】 請求項 11 に記載の信号処理装置を有することを特徴とする基地局装置。

【請求項 14】 あらかじめインタリーブパターンを生成し、このインタリーブパターンのアドレスを記憶し、データの処理速度からインタリーブパターンの生成速度を減算した値をデータの処理速度で除した値にデータサイズを乗じた開始条件値を算出し、記憶した前記アドレスの数が、前記開始条件値以上になった時点で、インタリーブ処理する速度にあわせて前記アドレスを一定速度で連続的に出力し、インタリーブ処理を一定速度で連続的に行うことを特徴とするインタリーブ方法。

【請求項 15】 あらかじめインタリーブパターンを生成し、このインタリーブパターンの中からデータ処理に用いるアドレスを選択して記憶し、データサイズにインタリーブ生成速度を乗じた値をデータの処理速度で除した並列処理値を算出し、記憶された前記アドレスの数が、前記インタリーブパターンのサイズから前記並列処理値を減算した値以上である時点で、インタリーブ処理する速度にあわせてインタリーブパターンのアドレスを一定速度で連続的に出力し、インタリーブ処理を一定速度で連続的に行うことを特徴とするインタリーブ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ターボ符号化／復号装置等の信号処理装置で使用されるインタリーブ装置およびインタリーブ方法に関する。

【0002】

【従来の技術】 無線通信においては、信号において局所

的に連続して誤りが発生するバースト誤りの発生により信号の誤り訂正能力の劣化を低減するために、ビットインタリーブシステムを併用したインタリーブ通信が提案されている。

【0003】以下、図5を用いて、従来のインタリーブ装置について説明する。図5は、従来のインタリーブ装置の構成を示すブロック図である。

【0004】図5において、制御部11は、インタリーブパターンのサイズをインタリーブパターン生成部12に出力する。また、制御部11は、外部から入力されたデータ10をデータ記憶部13に書き込み、データの書き込みが終了した後、データ記憶部13からデータを読み出し、外部に出力する。インタリーブパターン生成部12は、サイズ情報に基づいてインタリーブパターンを生成し、制御部11に出力する。データ記憶部13は、データを記憶し、要求に応じて制御部11にデータを出力する。

【0005】次に、図5のインタリーブ装置の動作手順について説明する。最初に、外部から入力されたデータサイズの情報に基づいて、制御部11は、生成するインタリーブパターンサイズをインタリーブパターン生成部12に出力する。インタリーブパターン生成部12は、インタリーブパターンサイズに基づいて、インタリーブパターンを生成し、制御部11に出力する。制御部11は、インタリーブパターンをアドレスとして、外部から入力したデータを、データ記憶部13の所定のアドレス位置に書き込む。そして、制御部11は、データの書き込み処理が一通り終了した後、データ記憶部13から、所定の順にデータを読み出し、外部に出力する。

【0006】次に、上述した信号の並べ替え（インタリーブ）動作について、7つのデータの順序を（D1, D2, D3, D4, D5, D6, D7）から（D5, D2, D6, D3, D4, D1, D7）に並べ替える2つの例を示す。

【0007】図6（a）は、インタリーブ動作におけるデータの流れを示す図である。インタリーブ装置に入力されたデータ（D1, D2, D3, D4, D5, D6, D7）は、アドレス（A1, A2, A3, A4, A5, A6, A7）の並びでデータ記憶部13に書き込まれる。そして、制御部11は、データ記憶部13からデータを読み出す場合、アドレスとしてインタリーブパターンを用いる。この場合、インタリーブパターンに基づいたアドレス（A5, A2, A6, A3, A4, A1, A7）の並びで、記憶部からデータを順に読み出す。この結果、データは、（D5, D2, D6, D3, D4, D1, D7）の順序に並び替えられる。

【0008】図6（b）は、もう1つのインタリーブ動作におけるデータの流れを示す。インタリーブ装置に入力されたデータ（D1, D2, D3, D4, D5, D6, D7）は、インタリーブパターンに基づいたアドレ50

ス（A6, A2, A4, A5, A1, A3, A7）の並びでデータ記憶部13に書き込まれる。そして、制御部11は、アドレス（A1, A2, A3, A4, A5, A6, A7）の並びでデータ記憶部13からデータを読み出す。この結果、データは、（D5, D2, D6, D3, D4, D1, D7）の順序に並び替えられる。

【0009】上記2つの方法で使用するインタリーブパターンは、データ記憶部13にデータを書き込む際、又はデータ記憶部13から読み出す際のアドレスとして用いられるので、データと同じサイズであればよい。この場合、インタリーブパターンの生成速度は、データを処理する速度と同じであれば、一定速度で連続的にインタリーブ処理が行うことができる。

【0010】ところが、インタリーブパターンは、その生成方法により特定のサイズに限定されることがある。この場合、インタリーブパターンは、データのサイズと同じ又はより大きいサイズで生成される。例えば、素数を用いたインタリーブ（渋谷彰、須田博人、“素数を用いたW-CDMA用Turbo符号インタリーブ、”B-5-78、電子情報通信学会通信ソサエティ大会、1999年）は、データサイズが1280ビットの際、素数67の20倍である1340ビットのサイズのインタリーブパターンを生成させている。この場合、生成したインタリーブパターンのアドレスのうち、データサイズより大きいアドレスを無効とし、データサイズと同じ又はより小さいアドレスをインタリーブ処理に使用する。

【0011】

【発明が解決しようとする課題】しかしながら、従来のインタリーブ装置は、無効アドレスが生成された場合、有効なアドレスが生成されるまで、データを記憶部に書き込む、又は、読み出す操作を停止しなければならないという問題がある。

【0012】また、インタリーブパターンの生成速度がデータを処理する速度より遅い場合、アドレスのひとつが生成されてデータ処理された後、次のアドレスが生成されるまで、データを書き込む、又は、読み出す操作を停止しなければならないという問題もある。

【0013】本発明は、かかる点に鑑みてなされたものであり、任意の生成速度と任意のサイズで生成されるインタリーブパターンを用いて、一定速度で、連続的にインタリーブ処理を行うことができるインタリーブ装置及びインタリーブ方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明のインタリーブ装置は、インタリーブパターンを生成する生成手段と、生成されたインタリーブパターンに対応するアドレスを記憶するアドレス記憶手段と、データを記憶するデータ記憶手段と、データの処理速度、データのサイズ、インタリーブパターンの生成速度、及び前記アドレス記憶手段に記憶されたアドレスの数に基づいてデータ処理を開始

できるか否かを判断する判断手段と、前記判断手段にてデータ処理を開始できると判断された場合、前記アドレス記憶手段のアドレスに基づいて、前記データ記憶手段へのデータの格納、取り出しを制御する制御手段と、を具備する構成を採る。

【0015】本発明のインタリーブ装置は、制御手段は、アドレス記憶手段に記憶されたアドレスの順でデータ記憶手段にデータを格納し、所定の単位 of データを格納した後に、前記データ記憶手段より先頭アドレスから順にデータを取り出す構成を採る。

【0016】本発明のインタリーブ装置は、制御手段は、先頭アドレスから順にデータをデータ記憶手段に格納し、所定の単位 of データを格納した後に、アドレス記憶手段に記憶されたアドレスの順にデータを前記データ記憶手段より取り出す構成を採る。

【0017】これらの構成によれば、インタリーブパターンとデータを同じタイミングで連続的に送出することができるので、インタリーブ処理を一定速度で連続して行うことができる。

【0018】本発明のインタリーブ装置は、判断手段は、アドレス記憶手段に格納されたアドレスの数が、データの処理速度からインタリーブパターンの生成速度を減算した値をデータの処理速度で除した値にデータサイズを乗じた値以上である場合に、データ処理を開始できると判断する構成を採る。

【0019】この構成によれば、データの処理速度とインタリーブパターンの生成速度が異なる場合でも、データ処理とインタリーブ作成の処理のうち、より時間のかかる処理を、この2つの処理にかかる時間の差の分だけ先に実行して、前記2つの処理を並行して行うことができるので、必要最小限の時間でインタリーブ処理を行うことができる。

【0020】本発明のインタリーブ装置は、インタリーブパターンの中からデータ処理に用いるアドレスを選択する選択手段を具備し、アドレス記憶手段は、前記選択手段にて選択されたアドレスを記憶し、判断手段は、データの処理速度、データのサイズ、インタリーブパターンの生成速度、及び前記アドレス記憶手段に記憶されたアドレスの数に加え、インタリーブパターンのサイズに基づいてデータ処理を開始できるか否かを判断する構成を採る。

【0021】本発明のインタリーブ装置は、選択手段は、生成されたインタリーブパターンのうち、データサイズより小さいアドレスを選択してアドレス記憶手段に出力する構成を採る。

【0022】これらの構成によれば、処理するデータのサイズと生成可能なインタリーブパターンのサイズを比較することでインタリーブパターンの中で、必要なアドレスを選択することができるので、データサイズとインタリーブパターンサイズが異なる場合にもインタリーブ

処理を一定速度で連続して行うことができる

【0023】本発明のインタリーブ装置は、生成可能なインタリーブパターンの中で、データサイズより同じまたは大きいサイズで、かつ最も小さいサイズを算出する算出手段を具備し、生成手段は、前記算出手段にて算出されたサイズのインタリーブパターンを生成する構成を採る。

【0024】この構成によれば、必要最小サイズのインタリーブパターンを生成することができるので、インタリーブ処理を行う時間を短くすることができる。

【0025】本発明のインタリーブ装置は、判断手段は、データサイズに生成手段のインタリーブパターン生成速度を乗じた値をデータの処理速度で除した並列処理値を算出し、アドレス記憶手段に格納されたアドレスの数が、生成するインタリーブパターンのサイズから前記並列処理値を減算した値以上である場合に、データ処理を開始できると判断する構成を採る。

【0026】この構成によれば、インタリーブパターンのサイズとデータのサイズが異なる場合でも、データ処理とインタリーブ作成の処理のうち、より時間のかかる処理を、この2つの処理にかかる時間の差の分だけ先に実行することにより、前記2つの処理を並行して行うことができるので、必要最小限の時間でインタリーブ処理を行うことができる。

【0027】本発明のインタリーブ装置は、生成手段は、生成するインタリーブパターンのサイズと直前に生成したインタリーブパターンのサイズが等しい場合、この情報を判断手段に通知し、前記判断手段は、当該情報によりデータ処理を開始できると判断し、データ処理開始を制御手段に通知する構成を採る。

【0028】この構成によれば、複数のデータをインタリーブ処理する際に、1つのインタリーブパターンを再利用することにより、2回目以降のインタリーブ処理ではインタリーブパターンを作成する処理を行う必要がなくなり、この分の時間が短縮されるので、インタリーブ処理を行う時間を短くすることができる。

【0029】本発明のインタリーブ装置は、アドレス記憶手段は、データの先入れ先出し処理を行う構成を採る。

【0030】この構成によれば、一定でない速度で生成されるインタリーブパターン又はデータ処理速度と異なる速度で生成されるインタリーブパターンを、記憶手段を通して一定速度で出力するため、インタリーブ処理を一定速度で連続して行うことができる。

【0031】本発明の信号処理装置は、前記いずれかのインタリーブ装置を有する構成を採る。

【0032】この構成によれば、信号処理装置は、インタリーブ装置においてデータを一定速度で連続的に処理することにより、信号処理の一時停止などの複雑な制御を不要とし、その分の回路規模を削減できる信号処理装

置を実現することができる。

【0033】本発明の通信端末装置は、前記信号処理装置を有する構成を採る。

【0034】この構成によれば、通信端末装置は、信号処理装置において信号処理の一時停止などの複雑な制御を不要とし、その分の回路規模を削減することにより、より回路規模の少なく、より小型の通信端末装置を実現することができる。

【0035】本発明の基地局装置は、前記信号処理装置を有する構成を採る。

【0036】この構成によれば、基地局装置は、信号処理装置において信号処理の一時停止などの複雑な制御を不要とし、その分の回路規模を削減することにより、より回路規模の少なく、より小型の基地局装置を実現することができる。

【0037】本発明のインタリーブ方法は、あらかじめインタリーブパターンを生成し、このインタリーブパターンのアドレスを記憶し、データの処理速度からインタリーブパターンの生成速度を減算した値をデータの処理速度で除した値にデータサイズを乗じた開始条件値を算出し、記憶した前記アドレスの数が、前記開始条件値以上になった時点で、インタリーブ処理する速度にあわせて前記アドレスを一定速度で連続的に出力し、インタリーブ処理を一定速度で連続的に行うようにした。

【0038】本発明のインタリーブ方法は、あらかじめインタリーブパターンを生成し、このインタリーブパターンの中からデータ処理に用いるアドレスを選択して記憶し、データサイズにインタリーブ生成速度を乗じた値をデータの処理速度で除した並列処理値を算出し、記憶された前記アドレスの数が、前記インタリーブパターンのサイズから前記並列処理値を減算した値以上である時点で、インタリーブ処理する速度にあわせてインタリーブパターンのアドレスを一定速度で連続的に出力し、インタリーブ処理を一定速度で連続的に行うようにした。

【0039】これらの方法によれば、インタリーブパターンとデータを同じタイミングで連続的に送出することができるので、インタリーブ処理を一定速度で連続して行うことができる。

【0040】

【発明の実施の形態】本発明の骨子は、任意のタイミングで生成されたインタリーブパターンから有効アドレスを選択して記憶し、一定の速度で連続的に出力してデータ処理に用いることより、一定速度で連続的にインタリーブ処理することである。以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0041】（実施の形態）図1は、本発明の一実施の形態に係るインタリーブ装置の構成を示すブロック図である。図1において、制御部101は、入力されたデータのサイズに基づいて、インタリーブパターンのサイズを算出し、インタリーブパターン生成部102に出力す

る。また、制御部101は、インタリーブパターン生成部102にて生成されたインタリーブパターンに基づいて、有効アドレスを選択し、アドレス記憶部103に出力する。さらに、制御部101は、アドレス記憶部103から得た有効アドレスに基づいて、入力されたデータをデータ記憶部104に書き込み、書き込みが一通り終了した後、先頭アドレスから順にデータを取り出して外部に出力する。

【0042】インタリーブパターン生成部102は、インタリーブパターンサイズに基づいてインタリーブパターンを生成し、制御部101に出力する。なお、インタリーブパターンの生成方法は、文献「“素数を用いたW-CDMA用Turbo符号インタリーブ、” 渋谷彰、須田博人、B-5-78、電子情報通信学会通信ソサエティ大会、1999年」等に記載されている。アドレス記憶部103は、有効アドレスを順次記憶し、記憶した時期が古い順に一定速度で制御部101に出力する。データ記憶部104は、データを蓄積し、要求に応じて制御部101に出力する。

【0043】次に、制御部101の内部構成について説明する。

【0044】制御部101は、サイズ算出部111と、アドレス選択部112と、データ処理判断部113と、データ制御部114と、から主に構成される。

【0045】サイズ算出部111は、生成可能なインタリーブパターンのサイズの中からデータサイズより同じかより大きいものを選択する。そして、サイズ算出部111は、選択したサイズの中で最も小さいサイズを選択し、選択したサイズを示す情報をインタリーブパターン生成部102に出力する。

【0046】アドレス選択部112は、インタリーブパターンの中で、外部から入力されたデータサイズより大きいものは無効アドレスとし、同じか小さいものを有効アドレスとして選択し、アドレス記憶部103に出力する。また、アドレス選択部112は、出力した有効アドレスの数をデータ処理判断部113に出力する。

【0047】データ処理判断部113は、データサイズ、インタリーブパターンサイズ、出力された有効アドレスの数、インタリーブパターン生成部102のインタリーブパターン生成速度、及びデータ記憶部104のデータ処理速度に基づいてデータの並べ替え処理を開始できるかどうかを判断する。そして、データ処理判断部113は、データの並べ替え処理を開始できると判断した場合、処理開始信号をデータ制御部114に出力する。なお、データ処理判断部113の詳細な動作については、後述する。

【0048】データ制御部114は、処理開始信号を受信した場合、アドレス記憶部103から出力されたアドレスに対応するデータ記憶部104のアドレスに、外部から入力したデータの書き込む。そして、データ制御部

114は、データの書き込みが終了した後、データ記憶部104の先頭アドレスからデータを読み出して外部に出力する。

【0049】次に、データ処理判断部113の詳細な動作について説明する。インタリーブ装置における、インタリーブパターンの生成速度を V_{ilp} (bit/s)、データ処理速度を V_{data} (bit/s)、インタリーブパターンサイズを L_{ilp} (bit)、データサイズを L_{data} (bit)、アドレス記憶部104に記憶するアドレス数を N_{add} とする。

【0050】インタリーブパターンをすべて生成するために必要な時間は、 L_{ilp}/V_{ilp} (s)となる。また、データをすべて処理するために必要な時間は、 L_{data}/V_{data} (s)となる。

【0051】ここで、データをすべて処理し終えるまで

$$N_{add} \geq V_{ilp} \times (L_{ilp}/V_{ilp} - L_{data}/V_{data}) \quad \dots (1)$$

【0054】また、データのサイズと同じサイズのインタリーブパターンが生成可能である場合、以下に示す式(2)が成立する。

【数2】

$$L_{data} = L_{ilp} \quad \dots (2)$$

$$N_{add} \geq L_{data}/V_{data} \times (V_{data} - V_{ilp}) \quad \dots (3)$$

【0056】すなわち、データと同じサイズのインタリーブパターンが生成可能である場合、アドレス記憶部103が式(3)を満たす整数 N_{add} 個のアドレスを記憶した後に、処理を開始すれば、必要最小限の時間で一定速度で連続的にインタリーブ処理を行うことができる。

【0057】次に、図1のインタリーブ装置の動作手順について説明する。最初に、外部から入力されたデータサイズの情報は、サイズ算出部111に入力される。サイズ算出部111は、データサイズに基づいて、生成可能なインタリーブパターンのサイズを算出し、インタリーブパターン生成部102に出力する。

【0058】インタリーブパターン生成部102は、データサイズの情報に基づいて、インタリーブパターンを生成し始める。生成されたインタリーブパターンは、アドレス選択部112に出力される。

【0059】アドレス選択部112は、外部から入力されたデータサイズの情報に基づいて、データサイズと同じか、より小さいインタリーブパターンを有効アドレスとしてアドレス記憶部103に出力する。また、アドレス選択部112は、アドレス記憶部103に出力した有効アドレスの数をデータ処理判断部113に出力する。

【0060】アドレス記憶部103は、入力された有効アドレスを記憶し、データ制御部114からの要求に応じて、一定速度で連続的に、有効アドレスをデータ制御部114に出力する。

に、インタリーブパターンをすべて生成するには、インタリーブパターンをすべて生成するために必要な時間 L_{ilp}/V_{ilp} (s)と、データをすべて処理するために必要な時間 L_{data}/V_{data} (s)の差 $L_{ilp}/V_{ilp} - L_{data}/V_{data}$ (s)より先にインタリーブパターンを生成し始めればよい。そして、この時間に生成するインタリーブパターンの数は、 $V_{ilp} \times (L_{ilp}/V_{ilp} - L_{data}/V_{data})$ となる。

【0052】すなわち、アドレス記憶部103が、以下に示す式(1)を満たす整数 N_{add} 個のアドレスを記憶した後に、処理を開始すれば、必要最小限の時間で一定速度で連続的にインタリーブ処理を行うことができる。

【0053】

【数1】

【0055】式(2)を用いて式(1)から以下に示す式(3)が導かれる。

【数3】

【0061】データ処理判断部113は、データサイズ、インタリーブパターンサイズ、インタリーブパターン生成部102のインタリーブパターン生成速度、及びデータ記憶部104のデータ処理速度に基づいて、上述したデータ処理を開始する条件を導き出す。そして、データ処理判断部113は、有効アドレスの数がこの条件を満たした場合に、データ処理開始信号をデータ制御部114に出力する。

【0062】データ制御部114は、データ処理開始信号を受信した場合、データ処理を開始する。具体的には、データ制御部114は、アドレス記憶部103から入力したアドレスに基づいて、外部から入力したデータをデータ記憶部104に書き込む。そして、データ制御部114は、データ記憶部104にデータを一通り書き込み終えた後、先頭アドレスから順に読み出して外部に出力する。これにより、データの並べ替えが実現される。

【0063】このように、本発明は、インタリーブパターンをあらかじめ生成してアドレス記憶部103に有効アドレスとして記憶し、一定速度で連続処理するために必要な数のアドレスがアドレス記憶部103に記憶された後、データ処理を開始することにより、一定速度で連続的にインタリーブ処理を行うことができる。

【0064】次に、図2、図3、及び図4を用いて、インタリーブパターンの中から有効アドレスを選択する動

作、及びデータの書き込み動作の具体例を説明する。図2、図3、及び図4は、7個のデータ(D1、D2、D3、D4、D5、D6、D7)を、8個のアドレスからなるインタリーブパターン(A6、A2、A4、A5、A1、A8、A3、A7)を用いて、インタリーブ処理する例を示す。

【0065】データに付された数字は、入力される順序を示し、アドレスに付された数字は、アドレス記憶部103にデータを書きこむアドレスを示す。7個のデータを並び替えるために必要なアドレスは7個であるから、生成する8個のアドレスのうち一番大きなアドレスを示すA8は、無効アドレスとなる。この場合、データサイズが7、インタリーブパターンサイズが8であるから、データ処理速度とインタリーブパターン生成速度が同じ場合、式(1)の条件より、アドレス記憶部103に1個のアドレスが格納された時点でデータ処理を開始すれば、一定速度で連続的にインタリーブ処理を行うことができる。

【0066】図2は、第1ステップ、第2ステップ、及び第3ステップの動作を示す。最初に、第1ステップの動作を説明する。アドレスA6がインタリーブパターン生成部102からアドレス選択部112に出力される。A6は、データサイズ7以下であり、アドレス選択部112にて有効アドレスであると判断され、アドレス記憶部103に格納される。ここで、アドレス記憶部103に記憶されたアドレスの数が1となり、データ処理開始の条件を満たしたので、次のステップからデータ処理が開始される。

【0067】次に、第2ステップの動作を説明する。アドレスA2がインタリーブパターン生成部102からアドレス選択部112に出力される。A2は、データサイズ7以下であり、アドレス選択部112にて有効アドレスであると判断され、アドレス記憶部103に格納される。1番目のステップでアドレス記憶部103に格納されたアドレスA6はデータ制御部114に出力され、データ制御部114に入力されたデータD1はデータ記憶部104のアドレスA6に格納される。

【0068】次に、第3ステップの動作を説明する。アドレスA4がインタリーブパターン生成部102からアドレス選択部112に出力される。A4は、データサイズ7以下であり、アドレス選択部112にて有効アドレスであると判断され、アドレス記憶部103に格納される。2番目のステップでアドレス記憶部103に格納されたアドレスA2はデータ制御部114に出力され、データ制御部114に入力されたデータD2はデータ記憶部104のアドレスA2に格納される。

【0069】図3は、第4ステップ、第5ステップ、及び第6ステップの動作を示す。まず、第4ステップの動作を説明する。アドレスA5がインタリーブパターン生成部102からアドレス選択部112に出力される。A

5は、データサイズ7以下であり、アドレス選択部112にて有効アドレスであると判断され、アドレス記憶部103に格納される。3番目のステップでアドレス記憶部103に格納されたアドレスA4はデータ制御部114に出力され、データ制御部114に入力されたデータD3はデータ記憶部104のアドレスA4に格納される。

【0070】次に、第5ステップの動作を説明する。アドレスA1がインタリーブパターン生成部102からアドレス選択部112に出力される。A1は、データサイズ7以下であり、アドレス選択部112にて有効アドレスであると判断され、アドレス記憶部103に格納される。4番目のステップでアドレス記憶部103に格納されたアドレスA5はデータ制御部114に出力され、データ制御部114に入力されたデータD4はデータ記憶部104のアドレスA5に格納される。

【0071】次に、第6ステップの動作を説明する。アドレスA8がインタリーブパターン生成部102からアドレス選択部112に出力される。A8は、データサイズ7より大きいので、アドレス選択部112にて無効アドレスであると判断され、アドレス記憶部103に記憶されない。5番目のステップでアドレス記憶部103に格納されたアドレスA1はデータ制御部114に出力され、データ制御部114に入力されたデータD5はデータ記憶部104のアドレスA1に格納される。

【0072】図4は、第7ステップと第8ステップの動作を示す。まず、第7ステップの動作を説明する。アドレスA3がインタリーブパターン生成部102からアドレス選択部112に出力される。A3は、データサイズ7以下であり、アドレス選択部112にて有効アドレスであると判断され、アドレス記憶部103に格納される。アドレス記憶部103は、記憶しているアドレスがないので、A3をデータ制御部114に出力し、データ制御部114に入力されたデータD6は記憶部103のアドレスA3に格納される。

【0073】最後に、第8ステップの動作を説明する。アドレスA7がインタリーブパターン生成部102からアドレス選択部112に出力される。A7は、データサイズ7以下であり、アドレス選択部112にて有効アドレスであると判断され、アドレス記憶部103に格納される。アドレス記憶部103は、記憶しているアドレスがないので、A7をデータ制御部114に出力し、データ制御部114に入力されたデータD7は記憶部103のアドレスA7に格納される。

【0074】7つのデータがすべて記憶部に記憶された後、データ制御部114は、アドレス(A1、A2、A3、A4、A5、A6、A7)の順で記憶部からデータを読み出し、外部に出力する。この結果、データは、(D5、D2、D6、D3、D4、D1、D7)の順序に並び替えられる。

10

20

30

40

50

【0075】以上のように、アドレスを記憶するアドレス記憶部103を持つことにより、一定速度で連続的にインタリーブ処理が可能であることがわかる。

【0076】なお、本実施の形態では、生成した1つのインタリーブパターンを用いて、1つのデータ処理している場合について説明しているが、本発明はこれに限られず、1つの生成したインタリーブパターンを繰り返し用いて、同じサイズの複数のデータをインタリーブ処理することもすることもできる。

【0077】この場合、インタリーブパターン生成部102は、生成するインタリーブパターンのサイズと直前に生成したインタリーブパターンのサイズが等しいときに、この情報をデータ処理判断部113に通知する。通知を受けたデータ処理判断部113は、データ処理を開始できると判断し、データ処理開始をデータ制御部114に通知する。そして、データ処理開始の通知を受けたデータ制御部114は、データ処理を開始する。

【0078】このように本実施の形態によれば、複数のデータをインタリーブ処理する際に、1つのインタリーブパターンを再利用することにより、2回目以降のインタリーブ処理ではインタリーブパターンを作成する処理を行う必要がなくなり、この分の時間が短縮されるので、インタリーブ処理を行う時間を短くすることができる。

【0079】また、本実施の形態では、データ記憶部104にデータを書き込む際に、インタリーブパターンをアドレスとして用いるが、データを先頭アドレスから順にデータ記憶部104に書き込み、データ記憶部104からデータを読み出す際のアドレスにインタリーブパターンを用いてもよい。

【0080】また、本実施の形態のアドレス記憶部103は、アドレスの先入れ先出しを行うFIFO (Fast in fast out) 部としてもよい。これにより、一定でない速度で生成されるインタリーブパターン又はデータ処理速度と異なる速度で生成されるインタリーブパターンを、アドレス記憶部103を通して一定速度で出力するため、インタリーブ処理を一定速度で連

続して行うことができる。

【0081】また、本実施の形態で説明したインタリーブ装置は、ターボ符号化／復号装置等の信号処理装置に組み込むことができる。さらに、この信号処理装置は、無線通信を行う通信端末装置及び基地局装置等の誤り訂正部に組み込むことができる。これにより、信号処理の一時停止などの複雑な制御を不要とすることができるので、その分の回路規模を削減することができ、回路規模の少なく、小型の装置を実現することができる。

【0082】

【発明の効果】以上説明したように、本発明によれば、任意の生成速度と任意のサイズで生成されるインタリーブパターンを用いて、一定速度で、連続的にインタリーブ処理を行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るインタリーブ装置の構成を示すブロック図

【図2】上記実施の形態に係るインタリーブ装置の動作を説明するためのデータの流れを示す図

【図3】上記実施の形態に係るインタリーブ装置の動作を説明するためのデータの流れを示す図

【図4】上記実施の形態に係るインタリーブ装置の動作を説明するためのデータの流れを示す図

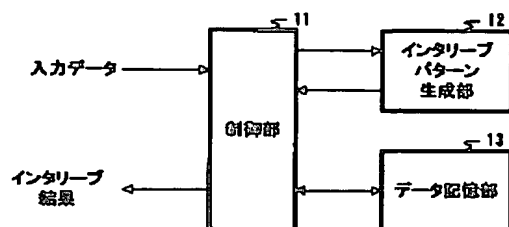
【図5】従来のインタリーブ装置の構成を示すブロック図

【図6】従来のインタリーブ動作を説明するためのデータ処理を示す図

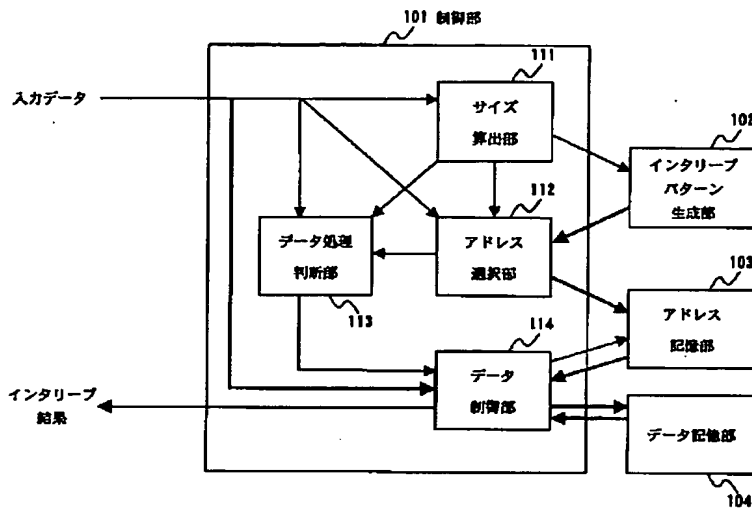
【符号の説明】

- 101 制御部
- 102 インタリーブパターン生成部
- 103 アドレス記憶部
- 104 データ記憶部
- 111 サイズ算出部
- 112 アドレス選択部
- 113 データ処理判断部
- 114 データ制御部

【図5】



【図 1】



【図 2】

第1ステップ

インタリーブパターン
生成部102の出力
(A8,A2,A4,A5,A1,A8,A3,A7)

アドレス記憶部103の
アドレス格納状態

入力データ

データ記憶部104の
データ格納状態

第2ステップ

インタリーブパターン
生成部102の出力
(A8,A2,A4,A5,A1,A8,A3,A7)

アドレス記憶部103の
アドレス格納状態

入力データ
(D1,D2,D3,D4,D5,D6,D7)

データ記憶部104の
データ格納状態

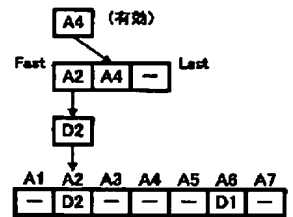
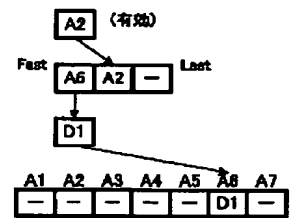
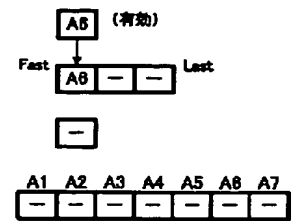
第3ステップ

インタリーブパターン
生成部102の出力
(A8,A2,A4,A5,A1,A8,A3,A7)

アドレス記憶部103の
アドレス格納状態

入力データ
(D1,D2,D3,D4,D5,D6,D7)

データ記憶部104の
データ格納状態



【図 3】

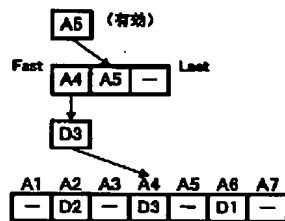
第4ステップ

インタリーブパターン
生成部102の出力
(A8,A2,A4,A5,A1,A8,A3,A7)

アドレス記憶部103の
アドレス格納状態

入力データ
(D1,D2,D3,D4,D5,D6,D7)

データ記憶部104の
データ格納状態



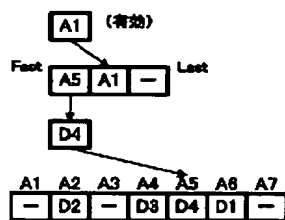
第5ステップ

インタリーブパターン
生成部102の出力
(A8,A2,A4,A5,A1,A8,A3,A7)

アドレス記憶部103の
アドレス格納状態

入力データ
(D1,D2,D3,D4,D5,D6,D7)

データ記憶部104の
データ格納状態



第7ステップ

インタリーブパターン
生成部102の出力
(A8,A2,A4,A5,A1,A8,A3,A7)

アドレス記憶部103の
アドレス格納状態

入力データ
(D1,D2,D3,D4,D5,D6,D7)

データ記憶部104の
データ格納状態

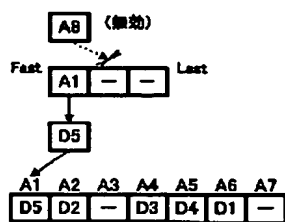
第8ステップ

インタリーブパターン
生成部102の出力
(A8,A2,A4,A5,A1,A8,A3,A7)

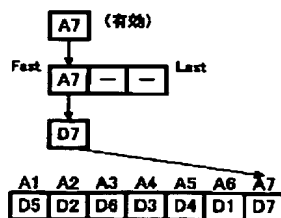
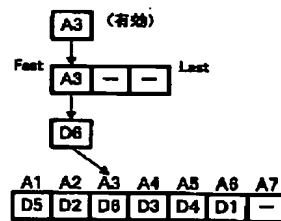
アドレス記憶部103の
アドレス格納状態

入力データ
(D1,D2,D3,D4,D5,D6,D7)

データ記憶部104の
データ格納状態



【図 4】



【図 6】

